

**Espacenet**

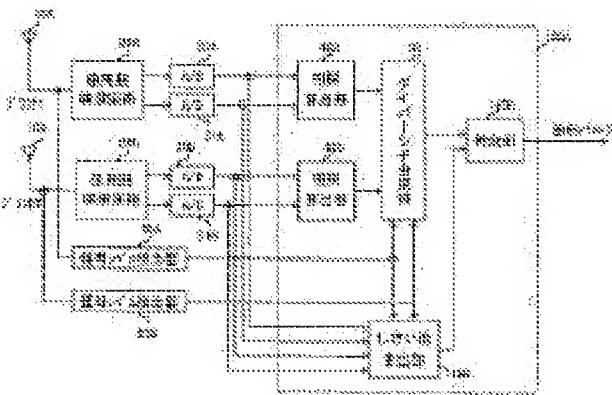
Bibliographic data: JP 10303794 (A)

KNOWN SYSTEM DETECTOR

Publication date: 1998-11-13
Inventor(s): SANO HIROYASU; UCHIKI TATSUYA; MIYAKE MAKOTO ±
Applicant(s): MITSUBISHI ELECTRIC CORP ±
Classification:
- international: H04B7/08; (IPC1-7): H04B7/08
- European:
Application number: JP19970090681 19970409
Priority number(s): JP19970090681 19970409; JP19970044003 19970227

Abstract of JP 10303794 (A)

PROBLEM TO BE SOLVED: To make it difficult to be affected by fluctuations of a reception signal level due to phasing and to satisfactorily detect a known system by providing a diversity synthesis means weighting a correlation value, in accordance with a signal level received at every branch and synthesizing weighting results. **SOLUTION:** Correlation calculation parts 40A and 40B calculate correlations between the in-phase/orthogonal components of the reception signals of respective branches 1 and 2 and the in-phase/orthogonal components in known system. The correlation value which is an output is inputted to a diversity synthesis part 50. The diversity synthesis part 50 weights and adds the correlation value of the branches 1 and 2 by the signal level, being the outputs of the signal level detectors 60A and 60B. A judgment part 140A compares the synthesized correlation value obtained in the diversity synthesis part 50 with the size of the output of a threshold calculation part 150. Then, the position of the known system in a frame is known, based on the output of a judgment part 140A.



(51)Int.Cl.⁶
H 0 4 B 7/08

識別記号

F I
H 0 4 B 7/08

D

審査請求 未請求 請求項の数9 O.L (全 19 頁)

(21)出願番号 特願平9-90681

(22)出願日 平成9年(1997)4月9日

(31)優先権主張番号 特願平9-44003

(32)優先日 平9(1997)2月27日

(33)優先権主張国 日本 (J P)

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 佐野 裕康
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 打木 達也
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 三宅 真
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

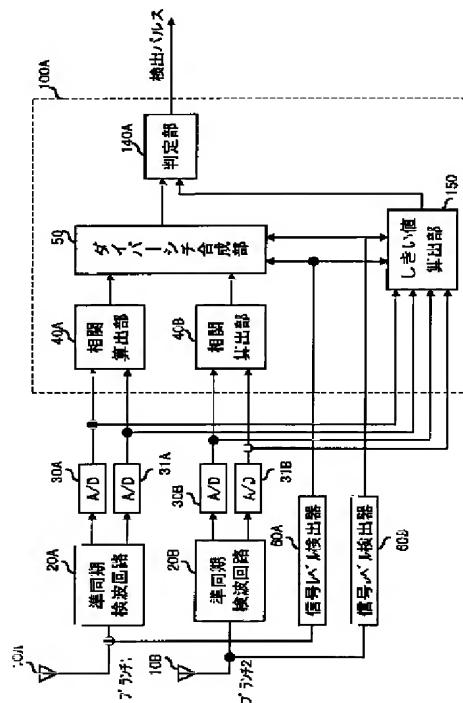
(74)代理人 弁理士 宮田 金雄 (外2名)

(54)【発明の名称】既知系列検出器

(57)【要約】

【課題】 周波数選択性フェージング下でも、精度よく既知系列を検出することを目的とする。

【解決手段】 複数のアンテナにより得られた複数の受信信号と既知系列との相関を算出する相関算出手段と、前記相関算出手段により得られた複数のブランチの相関値を用いて、ブランチごとに受信される信号レベルに応じて、それぞれの相関値に重み付けを行い、これらの重み付け結果を合成するダイバーシチ合成手段と、既知系列を検出するためのしきい値としてブランチごとの受信信号電力に比例したものを算出するしきい値算出手段と、前記ダイバーシチ合成手段により得られたダイバーシチ合成後の相関値が、前記しきい値算出手段により得られたしきい値よりも大きいかどうか比較し、しきい値よりも大きい場合には、既知系列を検出したと判定する判定手段を備える。



【特許請求の範囲】

【請求項1】 複数のアンテナにより得られた複数の受信信号と既知系列との相関を算出する相関算出手段と、前記相関算出手段により得られた複数のブランチの相関値を用いてダイバーシチ合成を行うダイバーシチ合成手段と、

既知系列を検出するためのしきい値を算出するしきい値算出手段と、

前記ダイバーシチ合成手段により得られたダイバーシチ合成後の相関値が、前記しきい値算出手段により得られたしきい値よりも大きいかどうか判定する判定手段を備えることを特徴とする既知系列検出器。

【請求項2】 前記ダイバーシチ合成手段は、複数あるブランチの中で、受信信号レベルの一番大きいブランチの相関値を選択することを特徴とする請求項1記載の既知系列検出器。

【請求項3】 前記ダイバーシチ合成手段は、ブランチごとに受信される信号レベルに応じて相関値に重み付けを行い、これらの重み付け結果を合成することを特徴とする請求項1記載の既知系列検出器。

【請求項4】 前記ダイバーシチ合成手段は、一定の時間間隔で得られる相関値を、予め設定した時間の範囲内で重み付け合成することを特徴とする請求項1記載の既知系列検出器。

【請求項5】 前記相関算出手段は、ブランチごとの受信信号と既知系列との相関演算後に得られた相関値が予め設定したしきい値よりも小さい場合には、相関値を出力しないことを特徴とする請求項1記載の既知系列検出器。

【請求項6】 前記しきい値算出手段は、ブランチごとの受信信号電力に比例したものをしきい値として算出することを特徴とする請求項1記載の既知系列検出器。

【請求項7】 前記判定手段は、前記しきい値算出手段により得られたしきい値に一定量のオフセットを付加して判定を行うことを特徴とする請求項1記載の既知系列検出器。

【請求項8】 前記判定手段は、前記しきい値算出手段により得られたしきい値が予め設定された規定値よりも小さくなる場合には、しきい値として規定値を与えて判定を行うことを特徴とする請求項1記載の既知系列検出器。

【請求項9】 前記判定手段は、前記しきい値算出手段により得られたしきい値が予め設定された規定値よりも小さくなる場合には、既知系列が検出されても無効とすることを特徴とする請求項1記載の既知系列検出器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、無線通信方式の分野における既知系列検出器に関するものである。

【0002】

【従来の技術】従来の既知系列検出器は例えば、文献「特開05-191208 適応等化器および受信機」に記載されている。以下、図を用いて従来技術の説明を行う。

【0003】従来の既知系列検出器の構成について図22を参照しながら説明する。ここでは、ディジタル変調信号の一例として4値PSKの場合の構成について説明する。図において、101は受信装置におけるアンテナ部、201はアンテナで受信されたRF信号をベースバンド信号に変換する準同期検波部であり、301は準同期検波部出力である受信信号の同相成分をディジタル信号に変換するA/D変換器、311は準同期検波部出力である受信信号の直交成分をディジタル信号に変換するA/D変換器であり、1001は送信されるフレーム内の既知系列を検出する既知系列検出器である。

【0004】図23は、図22の準同期検波部201の内部構成を示すブロック図である。211は受信信号とほぼ同じ周波数を有する発振器、221は発振器211の出力の位相を-90度位相をシフトする移相器、231は受信信号と発振器211の出力との乗算を行うことにより、受信信号の同相成分を取り出すために使用される乗算器、241は受信信号と移相器221の出力との乗算を行うことにより、受信信号の直交成分を取り出すために使用される乗算器、251は乗算器231の出力からベースバンド同相信号のみを抽出する低域通過フィルタ、261は乗算器241の出力からベースバンド直交信号のみを抽出する低域通過フィルタである。

【0005】図24は、図22の既知系列検出器1001の内部構成を示すブロック図である。1011はディジタル信号となった受信信号の同相成分と既知系列の同相成分との相関をとる相関器、1021はディジタル信号となった受信信号の同相成分と既知系列の直交成分との相関をとる相関器、1031はディジタル信号となった受信信号の直交成分と既知系列の直交成分との相関をとる相関器、1041はディジタル信号となった受信信号の直交成分と既知系列の同相成分との相関を算出する相関器、1101は相関器1011の出力と相関器1031の出力との加算を行う加算器、1111は相関器1021の出力と相関器1041の出力との減算を行う減算器である。1201は加算器1101の出力を乗算する2乗回路、1211は減算器1111の出力を乗算する2乗回路、1301は2つの2乗回路1201、1211の出力を加算する加算器、1401は加算器1301の出力である相関出力と予め設定されたしきい値との比較を行い、相関出力がしきい値以上となる場合に既知系列を検出したとして検出パルスを出力し、相関出力がしきい値よりも小さい場合には検出パルスを出力しない判定器である。

【0006】以下、図22、図23、図24を用いて既知系列検出器の動作について説明を行う。ここではディジタル変調信号の一例として4値PSKの場合について説明する。受信したRF信号は、準同期検波部201にお

いて準同期検波され、同相・直交成分のベースバンド信号に変換される。準同期検波された受信信号の同相・直

$$\begin{aligned} R(t) &= A(t) \exp \{j(\Delta\omega t + \theta(t) + \Delta\theta)\} \\ &= A(t) \{a(t) + j b(t)\} \exp \{j(\Delta\omega t + \Delta\theta)\} \end{aligned} \quad (1)$$

ここで、 $A(t)$ は振幅、 $\Delta\omega$ は受信信号の中心周波数と準同期検波用局部発振器との発振周波数差、 $\Delta\theta$ は受信信号と局部発振器出力との初期位相差、 $\theta(t)$ は変調成分、 $a(t)$ 、 $b(t)$ はそれぞれ同相・直交成分のベースバン

$$R(nT) = A(nT) \{a(nT) + j b(nT)\} \exp \{j(\Delta\theta)\} \quad (2)$$

【0007】 $R(nT)$ は既知系列検出器に入力される。既知系列検出器100に入力された $R(nT)$ の実部（同相成分）は図24示される相関器101および相関器102に入力される。一方、 $R(nT)$ の虚部（直交成分）は相関

$$K(i) = K_r(i) - j K_q(i)$$

ただし、 $i=1 \sim N$ 、 N は既知系列長（シンボル）

ここで、 $K_r(i)$ は既知系列の同相成分の系列、 $K_q(i)$ は既知系列の直交成分の系列を示している。次に、時刻 nT に

$$R_n(i) = A_n(i) \{a_n(i) + j b_n(i)\} \exp \{j(\Delta\theta)\} \quad (4)$$

【0009】既知系列検出器100では、(3)式と(4)式の複素相関演算に相当する処理が行われる。次式(5)にその処理を示す。

$$\begin{aligned} C_n &= Cr_n + jCq_n \\ &= \sum_{i=1}^N R_n(i) \cdot K(i) \\ &= \sum_{i=1}^N A_n(i) \{a_n(i) + j b_n(i)\} \exp \{j(\Delta\theta)\} \{K_r(i) - j K_q(i)\} \\ &= \{X_n + j Y_n\} \exp \{j(\Delta\theta)\} \end{aligned} \quad (5)$$

【0011】ここで、 Cr_n 、 Cq_n は、複素相関出力 C_n の実部および虚部を示しており、また、式(5)の X_n 、 Y_n は次式(6)で表される。

$$\begin{aligned} X_n &= \sum_{i=1}^N A_n(i) \cdot \{a_n(i) \cdot K_r(i) + b_n(i) \cdot K_q(i)\} \\ Y_n &= \sum_{i=1}^N A_n(i) \cdot \{b_n(i) \cdot K_r(i) - a_n(i) \cdot K_q(i)\} \end{aligned} \quad (6)$$

【0013】ここで、 C_n の実部(Cr_n)および虚部(Cq_n)は、加算器110の出力および減算器111の出力に対応している。 C_n の実部(Cr_n)および虚部(Cq_n)は、それぞ

$$\begin{aligned} Z_n &= (Cr_n)^2 + (Cq_n)^2 \\ &= \{X_n \cos(\Delta\theta) - Y_n \sin(\Delta\theta)\}^2 + \{X_n \sin(\Delta\theta) + Y_n \cos(\Delta\theta)\}^2 \end{aligned} \quad (7)$$

【0014】ここで、説明を簡単にするため、受信信号には雑音がないものとし、既知系列 $K(i)$ は $K_r(i) = \pm 1$ 、 $K_q(i) = \pm 1$ 、 $i = 1 \sim N$ であるものとする。また、受信信号の振幅が一定値 A をとるもの($A_n(i) = A$)と

$$Z_{nc} = \{X_n \cos(\Delta\theta) - Y_n \sin(\Delta\theta)\}^2 + \{X_n \sin(\Delta\theta) + Y_n \cos(\Delta\theta)\}^2$$

交成分のベースバンド信号は、複素数表示で以下の式(1)のように示される。

ド信号である。簡単のため $\Delta\omega = 0$ で、A/D変換器30、31はシンボルレートでナイキスト点でサンプリングされているとすると、A/D変換器30、31の出力は次式(2)で示される。

$$R(nT) = A(nT) \{a(nT) + j b(nT)\} \exp \{j(\Delta\theta)\} \quad (2)$$

器103および相関器104に入力される。

【0008】ここで、既知系列検出器100内部の相関器101、102、103、104において参考される既知系列 $K(i)$ を次式に示す。

(3)

おいて、相関器101、102、103、104内において i 番目のシフトレジスタに蓄えられているデータを以下に示す。

$$R_n(i) = A_n(i) \{a_n(i) + j b_n(i)\} \exp \{j(\Delta\theta)\} \quad (4)$$

【0010】

【数1】

【0012】

【数2】

れ2乗回路120、121において2乗される。得られた2つの2乗出力は、加算器130において加算される。加算器130の出力 Z_n は次式で与えられる。

し、同相・直交成分がそれぞれ、 $a_n(i) = \pm 1$ 、 $b_n(i) = \pm 1$ 、 $i = 1 \sim N$ であるとすると、受信信号が既知系列と一致する場合の相関出力を Z_{nc} とすると、相関出力 Z_{nc} は、次式(8)のようになる

$$= 4N^2 A^2$$

【0015】得られた相関出力 Z_n は、既知系列を検出したかどうか判定する判定器140に入力される。判定器140では、加算器130の出力である相関出力 Z_n と予

$$D_T = 1 \quad (Z_n \geq D_{th}) \\ = 0 \quad (Z_n < D_{th})$$

以上の処理によって得られた判定器140の出力 D_T に基づき、フレーム内の既知系列の位置を知り、フレーム同期制御が行われる。

【0016】

【発明が解決しようとする課題】移動体通信の場合、周囲の建物や地形によって電波が反射、回折、散乱したりして、移動局には複数の伝送路を経た波（マルチパス波）が到来し、お互いに干渉するために受信波の振幅と位相がランダムに変動するレイリーフェージングが発生する。しかし、送信する情報量を増やすために伝送速度を高速にすると、移動局に到来する複数の波の遅延時間差が送信信号のシンボル長に対して無視できない大きさとなるため、伝搬路は周波数選択性を持つ周波数選択性フェージングの影響を受ける。この影響を受けた受信波の各周波数成分の振幅や位相変動は、一様ではなくなり、伝送路特性は大幅に劣化する。周波数選択性フェージングの伝送路においては、到来する各波の信号振幅（直接波と遅延波の比）、遅延時間差およびその標準偏差を示す遅延広がりは、周囲の地物により大きく影響を受けるため、一意に決まるものではない。周波数選択性フェージング対策として、一般的に適応等化器を用いてデータの復調が行われる。適応等化器の場合、フレーム内の既知系列（トレーニング系列）を用いて、伝送路の状態を推定し、受信信号の等化を行う。このため、受信側で既知系列の位置を知らなければならず、適応等化器を正常に動作させるためには、フレーム同期が確立している必要がある。しかし、フレーム同期が確立していない初期捕捉時およびハンドオフ時には既知系列の位置がわからないため、適応等化器を正常に動作させることは困難であるという課題があった。

【0017】また、フレーム同期が確立していない場合（非同期時）は、既知系列（トレーニング系列）の位置が判らないので、受信側では既知系列の位置を検出する機能が必要となる。しかし、周波数選択性フェージング下で高速な受信信号のレベル変動が発生している伝送路においては、適応等化器なしに送信されたデータを復調することは難しいため、既知系列を検出することは困難であるという課題があった。

【0018】さらに、非同期時には、フレーム同期を確立するために、一般に受信側では既知系列検出器（デジタル相関器等）により、既知系列を検出しながら受信フレーム位置のタイミング調整を行う。具体的に述べると、既知系列検出器において既知系列を1回検出すると、後に続く複数のフレームにおいて、この検出時間位

$$(8)$$

め設定されたしきい値 D_{th} （一定）と比較される。ここで、判定器140は次式に従い、判定結果として検出パルス D_T を出力する。

$$(9)$$

置と同一時間位置に、既知系列が連續検出できるようにフレーム同期のための制御が行われる。このフレーム同期制御時には、伝送路の状態や既知系列を検出する既知系列検出器の性能により、既知系列が来ているにもかかわらず既知系列が正規の位置で検出されなかったり（既知系列の不検出）、一方、送信バーストが到来していない場合や送信バーストが到来していてもフレーム内での送信情報部分などの既知系列が本来ない位置で検出（既知系列の誤検出）してしまうことがある。特に遅延広がりが大きい周波数選択性フェージング伝送路の場合は、既知系列を不検出する割合（既知系列不検出率）が増大するため、既知系列不検出率を下げようとすると逆に既知系列を誤検出する割合（既知系列誤検出率）が増大するという問題がある。従って、フレーム内の正規の位置で既知系列が検出できることにより、フレーム同期制御が正常に行えない、またはフレーム同期が確立するまでに時間がかかるという課題があった。

【0019】本発明は前記のような課題を解消するためになされたもので、前記レイリーフェージングおよび周波数選択性フェージングを総称するフェージング伝送路において、直接波と遅延波の比と、遅延広がりの大きさにより、伝送路の状態が異なる場合でも、適応等化器を動作させることなく既知系列を精度良く検出できる既知系列検出器を得ることを目的とする。

【0020】また、移動体通信の場合、フェージングの影響を受けて受信信号レベルが大きく変動するが、このような場合でも正常にフレーム同期が確立できるように既知系列不検出率を抑えるとともに既知系列誤検出率が抑えられる既知系列検出器を得ることを目的とする。

【0021】

【課題を解決するための手段】第一の発明に係わる既知系列検出器は、複数のアンテナにより得られた複数の受信信号と既知系列との相関を算出する相関算出手段と、前記相関算出手段により得られた複数のブランチの相関値を用いてダイバーシチ合成を行うダイバーシチ合成手段と、既知系列を検出するためのしきい値を算出するしきい値算出手段と、前記ダイバーシチ合成手段により得られたダイバーシチ合成後の相関値が、前記しきい値算出手段により得られたしきい値よりも大きいかどうか判定する判定手段とを備えたものである。

【0022】第二の発明に係わる既知系列検出器は、複数あるブランチの中で、受信信号レベルの一番大きいブランチの相関値を選択するダイバーシチ合成手段を備えたものである。

【 0023 】 第三の発明に係わる既知系列検出器は、ブランチごとに受信される信号レベルに応じて相関値に重み付けを行い、これらの重み付け結果を合成するダイバーシチ合成手段を備えたものである。

【 0024 】 第四の発明に係わる既知系列検出器は、一定の時間間隔で得られる相関値を、予め設定した時間の範囲内で重み付け合成するダイバーシチ合成手段を備えたものである。

【 0025 】 第五の発明に係わる既知系列検出器は、ブランチごとの受信信号と既知系列との相関演算後に得られた相関値が予め設定したしきい値よりも小さい場合には、相関値を出力しない相関算出手段を備えたものである。

【 0026 】 第六の発明に係わる既知系列検出器は、ブランチごとの受信信号電力に比例したものをしきい値として用いるしきい値算出手段を備えたものである。

【 0027 】 第七の発明に係わる既知系列検出器は、前記しきい値算出手段により得られたしきい値に一定量のオフセットを付加するして判定を行う判定手段を備えたものである。

【 0028 】 第八の発明に係わる既知系列検出器は、前記しきい値算出手段により得られたしきい値が予め設定された規定値よりも小さくなる場合には、しきい値として規定値を与えて判定を行う判定手段を備えたものである。

【 0029 】 第九の発明に係わる既知系列検出器は、前記しきい値算出手段により得られたしきい値が予め設定された規定値よりも小さくなる場合には、既知系列が検出されても無効とする判定手段を備えたものである。

【 0030 】

【発明の実施の形態】

実施の形態 1. 本実施の形態はBPSK(2相PSK)、QPSK(4相PSK)等に代表される位相変調信号を用いる受信装置において、送信された信号に含まれるフレーム同期制御等に用いられる既知系列を検出するものである。

【 0031 】 図 1 に本実施の形態による 4 相 PSK 変調信号を用いるシステムにおける既知系列検出器の構成例を示す。図 1 において、10A、10B は 2 ブランチダイバーシチを実現するための受信装置のアンテナ部、20A、20B はアンテナで受信された RF 信号をベースバンド信号に変換する準同期検波部であり、30A、30B は準同期検波部 20A、20B の出力である受信信号の同相成分をディジタル信号に変換する A/D 変換器、31A、31B は準同期検波部 20A、20B の出力である受信信号の直交成分をディジタル信号に変換する A/D 変換器である。60A はブランチ 1 で受信される信号レベルを検出する信号レベル検出器、60B はブランチ 2 で受信される信号レベルを検出する信号レベル検出器、100A はディジタル信号となった受信信号から既知系列を検出する既知系列検出部である。

【 0032 】 さらに、既知系列検出部 100A は、以下のように構成される。40A、40B は、ディジタル信号となった受信信号の同相・直交成分と既知系列における同相・直交成分との相関を算出する相関算出部、50 は、2 ブランチ分の相関値を用いてダイバーシチ合成を行なうダイバーシチ合成部、140A はダイバーシチ合成部 50 の出力である合成後の相関値がしきい値以上となる場合に既知系列を検出したとして検出パルスを出力し、合成後の相関値がしきい値よりも小さくなる場合には、検出パルスを出力しない判定部、150 はしきい値を算出するために 2 ブランチ分の受信電力を算出し、その電力値に比例したしきい値を算出するしきい値算出部である。

【 0033 】 図 2 は、図 1 の相関算出部 40A および 40B の内部構成を示すブロック図である。101A はディジタル信号となった受信信号の同相成分と既知系列の同相成分との相関をとる相関器、102A はディジタル信号となった受信信号の同相成分と既知系列の直交成分との相関をとる相関器、103A はディジタル信号となった受信信号の直交成分と既知系列の直交成分との相関をとる相関器、104A はディジタル信号となった受信信号の直交成分と既知系列の同相成分との相関を算出する相関器、110A は相関器 101A の出力と相関器 103A の出力との加算を行う加算器、111A は相関器 102A の出力と相関器 104A の出力との減算を行う減算器である。120A は加算器 110A の出力を乗算する 2 乗回路、121A は減算器 111A の出力を乗算する 2 乗回路、130A は 2 つの 2 乗回路 120A、121A の出力を加算する加算器である。なお、相関算出部 40B の内部構成は、上記相関算出部 40A と同一の構成であるため、説明を省略する。

【 0034 】 図 3 は、図 1 のダイバーシチ合成部 50 の内部構成を示すブロック図である。51 は相関算出部 40A から出力されるブランチ 1 の相関値と信号レベル検出器 60A から出力されるブランチ 1 の信号レベルとの乗算を行なう乗算器、52 は相関算出部 40B から出力されるブランチ 2 の相関値と信号レベル検出器 60A から出力されるブランチ 2 の信号レベルとの乗算を行なう乗算器、53 は乗算器 51、52 の出力を加算する加算器である。

【 0035 】 図 4 は、図 1 のしきい値算出部 150 の内部構成を示すブロック図である。151A は、ブランチ 1 のディジタル信号となった受信信号の同相成分を 2 乗する 2 乗回路、152A は、ブランチ 1 のディジタル信号となった受信信号の直交成分を 2 乗する 2 乗回路、151B は、ブランチ 2 のディジタル信号となった受信信号の同相成分を 2 乗する 2 乗回路、152B は、ブランチ 2 のディジタル信号となった受信信号の直交成分を 2 乗する 2 乗回路である。また、160A は、2 乗回路 151A の出力と 2 乗回路 152A の出力を加算する加算

器、160Bは、2乗回路151Bの出力と2乗回路152Bの出力を加算する加算器、170Aは、加算器160Aの出力と信号レベル検出器60Aの出力との乗算を行う乗算器、170Bは、加算器160Bの出力と信号レベル検出器60Bの出力との乗算を行う乗算器、180は、乗算器170Aの出力と乗算器170Bの出力を加算する加算器である。190は、加算器180の出力の移動平均を算出する移動平均回路、171は、移動平均回路190の出力を予め設定された比例定数を乗算するための乗算器である。

【0036】図5は、図1の判定部140Aの内部構成を示すブロック図である。141はダイバーシチ合成部

$$\begin{aligned} R_1(t) &= A_1(t) \exp \{j(\Delta \omega t + \theta(t) + \Delta \theta_1)\} \\ &= A_1(t) \{a(t) + j b(t)\} \exp \{j(\Delta \omega t + \Delta \theta_1)\} \\ R_2(t) &= A_2(t) \exp \{j(\Delta \omega t + \theta(t) + \Delta \theta_2)\} \\ &= A_2(t) \{a(t) + j b(t)\} \exp \{j(\Delta \omega t + \Delta \theta_2)\} \end{aligned} \quad (10)$$

【0038】ここで、 $A_1(t)$ 、 $A_2(t)$ はブランチ1およびブランチ2の信号振幅、 $\Delta\omega$ は受信信号の中心周波数と準同期検波用局部発振器との発振周波数差、 $\Delta\theta$ は受信信号と局部発振器出力との位相差、 $\theta(t)$ は変調成分、 $a(t)$ 、 $b(t)$ はそれぞれ同相、直交成分のベースバンド信

$$\begin{aligned} R_1(nT) &= A_1(nT) \{a(nT) + j b(nT)\} \exp \{j(\Delta \theta_1)\} \\ R_2(nT) &= A_2(nT) \{a(nT) + j b(nT)\} \exp \{j(\Delta \theta_2)\} \end{aligned} \quad (1)$$

1)

【0039】得られた2ブランチの信号 $R_1(nT)$ 、 $R_2(nT)$ はそれぞれ相関算出部40A、40Bに入力される。相関算出部40Aに入力された $R_1(nT)$ の実部（同相成分）は図2に示される相関器101Aおよび相関器102Aに入力される。一方、 $R_1(nT)$ の虚部（直交成分）

$$K(i) = K_r(i) - j K_q(i)$$

ただし、 $i=1 \sim N$ 、 N は既知系列長（シンボル）である。式(12)において、 $K_r(i)$ は既知系列の同相成分の系列、 $K_q(i)$ は既知系列の直交成分の系列を示してい

$$R_{1n}(i) = A_{1n}(i) \{a_n(i) + j b_n(i)\} \exp \{j(\Delta \theta_1)\} \quad (13)$$

また、ブランチ2の場合も i 番目のシフトレジスタに蓄えられているデータは、ブランチ1の場合と同様に次式

$$R_{2n}(i) = A_{2n}(i) \{a_n(i) + j b_n(i)\} \exp \{j(\Delta \theta_2)\} \quad (14)$$

【0040】ブランチ1の相関算出部40Aでは、(12)式と(13)式の複素相関演算が行われる。次式にその処理を示す。

50から出力される合成後の相関値としきい値算出部150から出力されるしきい値との比較を行い、その比較結果に基づき、既知系列検出パルスを出力する。

【0037】次に図1～図3を用いて本実施の形態の動作について説明する。ここではデジタル変調信号の一例として4値PSKの場合について説明する。2つのアンテナで受信したRF信号は、それぞれ準同期検波部20Aおよび20Bにおいて準同期検波され、同相・直交成分のベースバンド信号に変換される。準同期検波された2ブランチの受信信号の同相・直交成分のベースバンド信号 $R_1(t)$ 、 $R_2(t)$ は、それぞれ複素数表示で以下のように示される。

号である。簡単のため $\Delta\omega=0$ で、A/D変換器30A、30B、31A、31Bはシンボルレートでナイキスト点でサンプリングされているとすると、A/D変換器の出力は次式で示される。

は相関器103Aおよび相関器104Aに入力される。ここで、既知系列検出器100内部の相関器101A、102A、103A、104Aにおいて参照される既知系列 $K(i)$ を次式に示す。

る。次に、時刻 nT において、ブランチ1の相関器101A、102A、103A、104A内において i 番目のシフトレジスタに蓄えられているデータを以下に示す。

で示される。

【0041】

【数3】

$$\begin{aligned}
C_{1n} &= Cr_{1n} + jCq_{1n} \\
&= \sum_{i=1}^N R_{1n}(i) \cdot K(i) \\
&= \sum_{i=1}^N A_{1n}(i) \cdot \{a_n(i) + jb_n(i)\} \cdot \exp\{j(\Delta\theta_1)\} \cdot \{K_r(i) - jK_q(i)\} \\
&= \{X_{1n} + jY_{1n}\} \cdot \exp\{j(\Delta\theta_1)\}
\end{aligned} \tag{15}$$

【0042】ここで、 Cr_{1n} 、 Cq_{1n} は、ブランチ1の複素相関出力 C_{1n} の実部および虚部を示しており、また、

X_{1n} 、 Y_{1n} は次式で表される。

$$\begin{aligned}
X_{1n} &= \sum_{i=1}^N A_{1n}(i) \cdot \{a_n(i) \cdot K_r(i) + b_n(i) \cdot K_q(i)\} \\
Y_{1n} &= \sum_{i=1}^N A_{1n}(i) \cdot \{b_n(i) \cdot K_r(i) - a_n(i) \cdot K_q(i)\}
\end{aligned} \tag{16}$$

【0044】ブランチ1と同様に、ブランチ2の相関算出部40Bでは、(12)式と(14)式の複素相関演算が行われる。次式にその処理を示す。

$$\begin{aligned}
C_{2n} &= Cr_{2n} + jCq_{2n} \\
&= \sum_{i=1}^N R_{2n}(i) \cdot K(i) \\
&= \sum_{i=1}^N A_{2n}(i) \cdot \{a_n(i) + jb_n(i)\} \cdot \exp\{j(\Delta\theta_2)\} \cdot \{K_r(i) - jK_q(i)\} \\
&= \{X_{2n} + jY_{2n}\} \cdot \exp\{j(\Delta\theta_2)\}
\end{aligned} \tag{17}$$

【0046】ここで、 Cr_{2n} 、 Cq_{2n} は、ブランチ2の複素相関出力 C_{2n} の実部および虚部を示しており、また、 X_{2n} 、 Y_{2n} は次式で表される。

$$\begin{aligned}
X_{2n} &= \sum_{i=1}^N A_{2n}(i) \cdot \{a_n(i) \cdot K_r(i) + b_n(i) \cdot K_q(i)\} \\
Y_{2n} &= \sum_{i=1}^N A_{2n}(i) \cdot \{b_n(i) \cdot K_r(i) - a_n(i) \cdot K_q(i)\}
\end{aligned} \tag{18}$$

【0048】ここで、 C_{1n} の実部(Cr_{1n})および虚部(Cq_{1n})は、加算器110Aの出力および減算器111Aの出力に対応している。 C_{1n} の実部(Cr_{1n})および虚部(Cq_{1n})は、それぞれ2乗回路120A、121Aにおいて

$$\begin{aligned}
Z_{1n} &= (Cr_{1n})^2 + (Cq_{1n})^2 \\
&= \{X_{1n} \cos(\Delta\theta_1) - Y_{1n} \sin(\Delta\theta_1)\}^2 \\
&\quad + \{X_{1n} \sin(\Delta\theta_1) + Y_{1n} \cos(\Delta\theta_1)\}^2
\end{aligned} \tag{19}$$

2乗される。得られた2つの2乗出力は、加算器130Aにおいて加算される。加算器130Aの出力であるブランチ1の相関値 Z_{1n} は次式で与えられる。

【0049】ブランチ1の相関値を算出する方法と同様

にブランチ2の相関値 Z_{2n} は次式で与えられる。

$$\begin{aligned}
Z_{2n} &= (Cr_{2n})^2 + (Cq_{2n})^2 \\
&= \{X_{2n} \cos(\Delta\theta_2) - Y_{2n} \sin(\Delta\theta_2)\}^2 \\
&\quad + \{X_{2n} \sin(\Delta\theta_2) + Y_{2n} \cos(\Delta\theta_2)\}^2
\end{aligned} \tag{20}$$

【0050】2つのブランチの相関算出器40Aおよび

40Bの出力である相関値 Z_{1n} 、 Z_{2n} はダイバーシチ合成

部50に入力される。図3に示されるダイバーシチ合成部50では、乗算回路51において、ブランチ1の相関値とブランチ1の信号レベルとの乗算が行われる。乗算回路52において、ブランチ2の相関値とブランチ2の信号レベルとの乗算が行われる。加算器53では、乗算

$$D_{vn} = A_{D1n} Z_{1n} + A_{D2n} Z_{2n}$$

【0051】次に、図4を用いてしきい値算出部150の動作を説明する。ブランチ1の受信信号電力を求めるため、ディジタル信号となったブランチ1の受信信号の同相および直交成分はそれぞれ、2乗回路151Aおよび2乗回路152Aに入力され、2乗される。得られた

$$\begin{aligned} P_{1n} &= |R_1(nT)|^2 \\ &= |A_1(nT) \{a(nT) + j b(nT)\} \exp\{j(\Delta\theta_1)\}|^2 \\ &= (A_1(nT))^2 \{(a(nT))^2 + (b(nT))^2\} \\ &= 2 (A_1(nT))^2 \end{aligned} \quad (22)$$

ただし、 $a(nT) = \pm 1$ 、 $b(nT) = \pm 1$ であり、 $A_1(nT)$ はフェーディング等のレベル変動を受けたブランチ1における振幅を示す。

【0052】同様にブランチ2についても受信信号電力を求めるため、ディジタル信号となったブランチ2の受信信号の同相および直交成分はそれぞれ、2乗回路15

$$\begin{aligned} P_{2n} &= |R_2(nT)|^2 \\ &= |A_2(nT) \{a(nT) + j b(nT)\} \exp\{j(\Delta\theta_2)\}|^2 \\ &= (A_2(nT))^2 \{(a(nT))^2 + (b(nT))^2\} \\ &= 2 (A_2(nT))^2 \end{aligned} \quad (23)$$

ただし、ここでは $a(nT) = \pm 1$ 、 $b(nT) = \pm 1$ であり、 $A_2(nT)$ はフェーディング等のレベル変動を受けたブランチ2における振幅を示す。

【0053】ここで、時刻nTにおける加算器160Aの出力 P_{1n} と加算器160Bの出力 P_{2n} は、それぞれ乗算器

$$P_{cn} = A_{D1n} P_{1n} + A_{D2n} P_{2n}$$

【0054】得られた加算器180の出力は移動平均回路190に入力され、平滑化される。次に時刻nTにおいて、移動平均回路190のi番目のシフトレジスタに蓄えられているデータ $P_{cn}(i)$ とすると、移動平均出力 P_{mcn} は次式で与えられる。

【0055】

【数7】

$$P_{mcn} = (1/M) \sum_{i=1}^M P_{cn}(i) \quad (25)$$

$$D_{th} = K_{th} P_{mcn}$$

【0057】次に、図5を用いて判定部140Aの動作を説明する。ダイバーシチ合成部で得られた合成後の相関値 D_{vn} およびしきい値算出部150の出力であるしきい値 D_{th} は、既知系列を検出したかどうか判定する判定部140Aに入力される。判定部140Aでは、合成後

$$\begin{aligned} \text{判定部140A出力} D_T &= 1 (D_{vn} \geq D_{th}) \\ &= 0 (D_{vn} < D_{th}) \end{aligned} \quad (27)$$

以上の処理によって得られた判定部140Aの出力 D_T に

回路51の出力と乗算回路52の出力が加算される。このときの信号レベル検出器60Aの出力が A_{D1n} 、信号レベル検出器60Bの出力が A_{D2n} であるとすると、ダイバーシチ合成部50の出力である合成後の相関値 D_{vn} は次式で与えられる。

(21)

2乗回路151Aの出力および2乗回路152Aの出力は、加算器160Aに入力され、ブランチ1の受信信号電力が算出される。時刻nTにおいて、ブランチ1の受信信号電力は次式で示される。

1Bおよび2乗回路152Bに入力され、2乗される。得られた2乗回路151Bの出力および2乗回路152Bの出力は、加算器160Bに入力され、ブランチ2の受信信号電力が算出される。時刻nTにおいて、ブランチ2の受信信号電力は次

170Aおよび170Bにより、信号レベル検出器60Aおよび60Bの出力である信号レベル A_{D1n} 、 A_{D2n} により重み付けされる。合成後の電力である加算器180の出力 P_{cn} は次式のように表せる。

(24)

【0056】ただし、移動平均の段数はM段とする。移動平均回路190の出力 P_{mcn} は、乗算器171に入力され、予め設定された比例定数 K_{th} が乗算される。よって、しきい値算出部150の出力である D_{th} は次式で与えられる。

$$D_{th} = K_{th} P_{mcn} \quad (26)$$

の相関値 D_{vn} としきい値算出部150の出力 D_{th} の大きさが比較器141により比較される。ここで、判定部140Aは次式に従い、判定結果として検出パルス D_T を出力する。

基づき、フレーム内の既知系列の位置を知り、フレーム

同期制御が行われる。

【0058】なお、本実施の形態では、しきい値算出手段として、図4のしきい値算出部の移動平均回路190により平滑化を行う例を示したが、図6に示されるように合成後の受信電力と乗算器193の出力である、過去1サンプリング周期前までに得られた受信電力を平滑化したものに対して忘却係数 α により重み付けした値とを加算する加算器191、平滑化された受信電力を1シンボル遅延させる遅延器192、遅延器191の出力に忘却係数 α を乗算する乗算器193からなるIIR型フィルタにより平滑化を行う構成でもよい。

【0059】以上のように本実施の形態においては、ブランチごとに受信される信号レベルに応じて相関値に重み付けを行い、これらの重み付け結果を合成するダイバーシチ合成手段を備えたので、フェージングによる受信信号レベル変動の影響を受けにくく、既知系列の不検出率を抑えることができるので、既知系列の検出を良好に行うことができる。

【0060】また、ブランチごとの受信信号電力に比例したものをしきい値として出力するしきい値算出手段を備えたので、フェージングによる受信信号レベル変動の影響を受けにくく、既知系列の不検出率を抑えることができるので、既知系列の検出を良好に行うことができる。

【0061】実施の形態2、図7に本実施の形態による4相PSK変調信号を用いるシステムにおける既知系列検出器の構成を示す。実施の形態1では、ダイバーシチ合成部50およびしきい値算出部150において、信号レベル検出器60A、60Bの信号レベルに基づき重み付け合成を行い、合成後の相関値およびしきい値を算出しているが、本実施の形態では、2つあるブランチの中で、受信信号レベルの一番大きいブランチの相関値およびそのブランチの受信信号電力に比例したものをしきい値するものである。従って、本実施の形態は、ダイバーシチ合成部50Aとしきい値算出部150A以外は、実施の形態1の図1と同一の構成であり、同一の構成の部分は説明を省略する。

【0062】図8は、本実施の形態によるダイバーシチ

$$\begin{aligned} \text{比較器54の出力 } C_{cn} &= 0 \quad (A_{D1n} \geq A_{D2n}) \\ &= 1 \quad (A_{D1n} < A_{D2n}) \end{aligned} \quad (28)$$

【0065】さらに、選択回路55では、比較器54のレベル比較結果に基づき、相関算出部40Aの出力であるブランチ1の相関値と相関算出部40Bの出力である

$$\begin{aligned} \text{選択回路55の出力 } S_{cn} &= Z_{1n} \quad (C_{cn} = 0) \\ &= Z_{2n} \quad (C_{cn} = 1) \end{aligned} \quad (29)$$

【0066】次に、図9を用いてしきい値算出部150Aの動作を説明する。図9に示されるしきい値算出部150Aでは、比較器172において、ブランチ1の信号レベルとブランチ2の信号レベルのレベル比較が行われ

$$\text{比較器172の出力 } C_{Lcn} = 0 \quad (A_{D1n} \geq A_{D2n})$$

合成部50Aの内部構成を示すブロック図である。54は、信号レベル検出器60Aから出力されるブランチ1の信号レベルと信号レベル検出器60Bから出力されるブランチ2の信号レベルとの大小の比較を行う比較器、55は、比較器54の出力に基づき、相関算出部40Aから出力されるブランチ1の相関値と相関算出部40Bから出力されるブランチ2の相関値のどちらか一方を選択して出力する選択回路である。

【0063】また、図9は本実施の形態におけるしきい値算出部150Aの内部構成を示すブロック図である。151Cは、ブランチ1のディジタル信号となった受信信号の同相成分を2乗する2乗回路、152Cは、ブランチ1のディジタル信号となった受信信号の直交成分を2乗する2乗回路、151Dは、ブランチ2のディジタル信号となった受信信号の同相成分を2乗する2乗回路、152Dは、ブランチ2のディジタル信号となった受信信号の直交成分を2乗する2乗回路である。また、160Cは、2乗回路151Cの出力と2乗回路152Cの出力を加算する加算器、160Dは、2乗回路151Dの出力と2乗回路152Dの出力を加算する加算器、172は、信号レベル検出器60Aから出力されるブランチ1の信号レベルと信号レベル検出器60Bから出力されるブランチ2の信号レベルとの大小の比較を行う比較器、181は、比較器172の出力に基づき、加算器160Cから出力されるブランチ1の受信電力値と加算器160Dから出力されるブランチ2の受信電力値のどちらか一方を選択して出力する選択回路である。190は、選択回路181の出力の移動平均を算出する移動平均回路、171は、移動平均回路190の出力を予め設定された比例定数を乗算するための乗算器である。

【0064】次に、図8を用いてダイバーシチ合成部150Aの動作を説明する。図8に示されるダイバーシチ合成部50では、比較器54において、ブランチ1の信号レベルとブランチ2の信号レベルのレベル比較が行われる。時刻nTにおいて、信号レベル検出器60Aの出力がAD1n、信号レベル検出器60Bの出力がAD2nであるとすると、比較器54のレベル比較結果出力は、次式で表される。

ブランチ2の相関値の選択を行う。時刻nTにおいて、相関値40Aの出力がZ1n、相関値40Bの出力がZ2nであるとすると、選択回路55の出力は、次式で表される。

る。時刻nTにおいて、信号レベル検出器60Aの出力がAD1n、信号レベル検出器60Bの出力がAD2nであるとすると、比較器172のレベル比較結果出力は、次式で表される。

【0067】次に、プランチ1の受信信号電力を求めるため、ディジタル信号となったプランチ1の受信信号の同相および直交成分はそれぞれ、2乗回路151Cおよび2乗回路152Cに入力され、2乗される。得られた2乗回路151Cの出力および2乗回路152Cの出力は、加算器160Cに入力され、時刻nTにおけるプランチ1の受信信号電力P_{1n}が算出される。また、プランチ2の受信信号電力を求めるため、ディジタル信号となったプランチ1の受信信号の同相および直交成分はそれぞれ、2乗回路151Dおよび2乗回路152Dに入力さ

選択回路181の出力

【0069】得られた選択回路181の出力は、移動平均回路190に入力され、実施の形態1と同様に平滑化される。そして、平滑化された受信電力は、乗算器171に入力される。そして、予め設定された比例定数K_{th}が乗算され、しきい値算出部の出力であるD_{th}が算出される。

【0070】なお、本実施の形態では、しきい値算出手段として、図8のしきい値算出部の移動平均回路190により平滑化を行う例を示したが、図6に示されるように合成後の受信電力と乗算器193の出力である、過去1サンプリング周期前までに得られた受信電力を平滑化したものに対して忘却係数 α により重み付けした値とを加算する加算器191、平滑化された受信電力を1シンボル遅延させる遅延器192、遅延器191の出力に忘却係数 α を乗算する乗算器193からなるIIR型フィルタにより平滑化を行う構成でもよい。

【0071】このように、本実施の形態ではダイバーシチ合成部50Aおよびしきい値算出部150Aにおいて、実施の形態1のように重み付け合成を行う必要がないので、簡単化できる。さらに、受信信号レベルの大きいプランチを選択して既知系列の検出を行っているので、フェージングによる受信信号レベル変動の影響を受けにくく、既知系列の不検出率を抑えることができるので、既知系列の検出を良好に行うことができる。

【0072】実施の形態3、図10に本実施の形態による4相PSK変調信号を用いるシステムの既知系列検出器の構成を示す。実施の形態1では、ダイバーシチ合成部50において、信号レベル検出器60A、60Bの信号レベルに基づき重み付け合成を行い、合成後の相関値を算出しているが、この実施の形態では、サンプリング時間毎に得られる合成後の相関値を予め設定した時間の範囲内で合成するものである。本実施の形態においては、ダイバーシチ合成部50B以外は、実施の形態1と同一の構成であり、同一構成の部分は説明を省略する。

【0073】図11は、図10のダイバーシチ合成部50Bの内部構成を示すブロック図である。実施の形態1と同様、51は相関算出部40Aから出力されるプラン

$$= 1 \quad (A_{D1n} < A_{D2n}) \quad (30)$$

れ、2乗される。得られた2乗回路151Dの出力および2乗回路152Dの出力は、加算器160Dに入力され、時刻nTにおけるプランチ2の受信信号電力P_{2n}が算出される。

【0068】さらに、選択回路181では、比較器172のレベル比較結果に基づき、加算器160Cの出力であるプランチ1の受信信号電力P_{1n}と加算器160Dの出力であるプランチ2の受信信号電力P_{2n}の選択を行う。時刻nTにおいて、選択回路181の出力は、次式で表される。

$$\begin{aligned} S_{Ln} &= Z_{1n} \quad (C_{Ln} = 0) \\ &= Z_{2n} \quad (C_{Ln} = 1) \end{aligned} \quad (31)$$

チ1の相関値と信号レベル検出器60Aから出力されるプランチ1の信号レベルとの乗算を行う乗算器、52は相関算出部40Bから出力されるプランチ2の相関値と信号レベル検出器60Aから出力されるプランチ2の信号レベルとの乗算を行う乗算器である。また、56はシフトレジスタ、57はシフトレジスタ56の値の総和を算出する加算器である。

【0074】次に、図11を用いてダイバーシチ合成部50Bの動作を説明する。図11に示されるダイバーシチ合成部50Bでは、乗算回路51において、プランチ1の相関値Z_{1n}とプランチ1の信号レベルA_{D1n}との乗算が行われる。乗算回路52において、プランチ2の相関値Z_{2n}とプランチ2の信号レベルA_{D2n}との乗算が行われる。加算器53では、乗算回路51の出力と乗算回路52の出力が加算され、プランチ合成後の相関値D_{Vn}が算出される。得られた相関値D_{Vn}は、サンプリング時間間隔ごとにMR段のシフトレジスタ56に入力される。加算器57において、シフトレジスタの値は合成され、合成後の相関値が算出される。ここで、時刻nTにおいて、シフトレジスタ56のi番目のシフトレジスタに蓄えられているデータS_{Vn}(i)とすると、加算器57の出力である合成後の相関値S_{Mn}は次式で与えられる。

【0075】

【数8】

$$S_{Mn} = (1/M_R) \sum_{i=1}^{M_R} S_{Vn}(i) \quad (32)$$

【0076】以上のように、本実施の形態は、2つのプランチで得られた相関値を信号レベルで重み付け合成了後、予め設定した時間の範囲内でさらに合成するダイバーシチ合成を行なうので、特に周波数選択性フェージング下の遅延広がりの大きい伝送路で既知系列の不検出率を抑えることができ、既知系列の検出を良好に行うことができる。

【0077】実施の形態4、図12に本実施の形態による4相PSK変調信号を用いるシステムにおける既知系列検出器の構成を示す。実施の形態2では、ダイバーシチ

合成部50Aにおいて、信号レベル検出器60A、60Bの信号レベルに基づき2つのブランチの相関値の選択を行い、選択後の相関値を出力しているが、本実施の形態では、ブランチごとにサンプリング時間毎に得られる合成後の相関値を予め設定した時間の範囲内で合成し、信号レベル検出器60A、60Bの信号レベルに基づき2つのブランチの相関値の選択を行うものである。本実施の形態においては、ダイバーシチ合成部50C以外は、実施に形態2の図7と同一構成であり、同一構成の部分は説明を省略する。

【0078】図13は、図12のダイバーシチ合成部50Cの内部構成を示す図である。54Aは、信号レベル検出器60Aから出力されるブランチ1の信号レベルと信号レベル検出器60Bから出力されるブランチ2の信号レベルとの大小の比較を行う比較器、56A、56B

比較器54Aの出力 $C_{cn} = 0$ ($A_{01n} \geq A_{02n}$)

$= 1$ ($A_{01n} < A_{02n}$) (33)

【0080】相関算出回路40Aの出力であるブランチ1の相関値は、サンプリング時間間隔TごとにMR段のシフトレジスタ56Aに入力される。加算器57Aにおいて、シフトレジスタの値は合成され、合成後の相関値が算出される。ここで、時刻nTにおいて、シフトレジスタ56Aのi番目のシフトレジスタに蓄えられているデータ $Sv_{1n}(i)$ とすると、加算器57Aの出力である合成後の相関値 S_{M1n} は次式で与えられる。

【0081】

【数9】

$$S_{M1n} = (1/M_R) \sum_{i=1}^{M_R} Sv_{1n}(i) \quad (34)$$

【0082】また、相関算出回路40Bの出力であるブランチ2の相関値は、サンプリング時間間隔TごとにMR段のシフトレジスタ56Bに入力される。加算器57B

選択回路55Aの出力 $S_{cn} = S_{M1n}$ ($C_{cn} = 0$)

$= S_{M2n}$ ($C_{cn} = 1$) (36)

【0085】以上のように、本実施の形態のダイバーシチ合成回路では、予め設定した時間の範囲内で合成し、さらに受信信号レベルに応じて2ブランチの相関値を選択するするダイバーシチ合成を行なうようにしているため、特に周波数選択性フェージング下の遅延広がりの大きい伝送路で既知系列の不検出率を抑えることができ、既知系列の検出を良好に行なうことができる。

【0086】実施の形態5、図14に本実施の形態による4相PSK変調信号を用いるシステムにおける既知系列検出器の構成を示す。実施の形態4においては、相関算出部40A、40Bは、式(15)～(20)を用いて相関値を算出してそのまま出力していたが、本実施の形態の相関算出部41A、41Bでは、予めしきい値を設定し、毎サンプリングごとに算出される相関値がしきい値よりも小さい場合、相関値を出力しないとしたものである。他

はシフトレジスタ、57A、57Bはシフトレジスタ56A、56Bの値の総和を算出する加算器である。55Aは、比較器54Aの出力に基づき、加算器57Aから出力されるブランチ1の相関値と加算器57Bから出力されるブランチ2の相関値のどちらか一方を選択して出力する選択回路である。

【0079】次に、図13を用いてダイバーシチ合成部50Cの動作を説明する。図13に示されるダイバーシチ合成部50Cでは、比較器54Aにおいて、ブランチ1の信号レベルとブランチ2の信号レベルのレベル比較が行われる。時刻nTにおいて、信号レベル検出器60Aの出力が A_{01n} 、信号レベル検出器60Bの出力が A_{02n} であるとすると、比較器54Aのレベル比較結果出力は、次式で表わされる。

【0083】

【数10】

$$S_{M2n} = (1/M_R) \sum_{i=1}^{M_R} Sv_{2n}(i) \quad (35)$$

【0084】さらに、選択回路55Aでは、比較器54Aのレベル比較結果に基づき、加算器57Aの出力であるブランチ1の相関値と加算器57Bの出力であるブランチ2の相関値の選択を行う。時刻nTにおける選択回路55Aの出力は、次式で表される。

【0087】次に動作について図15を用いて説明する。図15は式(15)～(20)に基づいて算出される相関値を、周波数選択性フェージング伝送路下で算出した一例である。図15では遅延波による影響のみを検討するため、伝送路において雑音がない場合の相関値を表している。周波数選択性フェージングの条件下では、電波がさまざまな経路をへてアンテナに入ってくるため、複数の遅延波を伴う。従って、式(15)～(20)に基づいて算出された相関値は、数サンプリング周期の時間に渡り、遅延波による広がりをもつものとなる。実際の環境では、雑音も付加された状態となっている。この雑音が付加されている状態では、遅延波による小さな相関値は雑音に埋もれている。ここで、本実施の形態のダイバーシチ合成

部50Cは、実施の形態4と同一の構成であり、ダイバーシチ合成部50Cでは、プランチごとに一定の時間間隔で得られる相関値をシフトレジスタの段数MRに相当する予め設定した時間の範囲内で合成するものである。

相関算出部41Aの出力= Z_{1n} ($Z_{1n} > Z_{th}$)

= 0 ($Z_{1n} \leq Z_{th}$) (37)

【0088】プランチ2の相関算出部41Bについても、プランチ1の相関算出部41Aと同一の出力の制御を行うものとする。

【0089】以上のように本実施の形態では、プランチごとの受信信号と既知系列との相関演算後に得られた相関値が、予め設定したしきい値よりも小さい場合には、相関値を出力しない相関算出部を備えているので、後段のダイバーシチ合成部において、雑音に埋もれるような相関値もしくは雑音電力を加算してしまうことによって発生する既知系列の誤検出を抑えることができ、既知系列の検出を良好に行うことができる。

【0090】実施の形態6. 図16に本実施の形態による4相PSK変調信号を用いるシステムにおける既知系列検出器の構成例を示す。実施の形態1においては、判定部140Aのしきい値として、受信信号電力に比例した値を用いていたが、本実施の形態の判定部140Bにおいては、しきい値算出部150の出力値に一定のオフセットを付加したものを既知系列検出のためのしきい値と

判定部140B出力 $D_T = 1$
= 0

【0093】以上のように本実施の形態では、しきい値算出部の出力値に一定のオフセット値を付加しているので、フェージングの発生により受信信号レベルが低下して、A/D変換後の受信信号は有意な情報を持たなくなり、しきい値算出部の出力値がほぼ0となる場合でも、既知系列の誤検出率を抑えることができ、既知系列の検出を良好に行うことができる。

【0094】実施の形態7. 図18に本実施の形態による4相PSK変調信号を用いるシステムにおける既知系列検出器の構成例を示す。実施の形態1においては、判定部140Aのしきい値として、受信信号電力に比例した値を用いていたが、本実施の形態の判定部140Cにおいては、しきい値算出部150の出力値が、予め設定した規定値よりも小さくなる場合にこの規定値を既知系列検出のためのしきい値として用いるものである。他は、実施の形態1の図1と同一の構成であり、説明を省略す

(非線形回路143の出力) = α_{th} ($D_{th} < \alpha_{th}$)

= D_{th} ($D_{th} \geq \alpha_{th}$) (39)

パルスは出力しない。

【0097】そして、ダイバーシチ合成部50の出力値である合成後の相関値 D_{Vn} と最終的なしきい値である非線形回路143の出力値が比較器141により比較される。判定部140Cでは、合成後の相関値 D_{Vn} が非線形回路143の出力値以上の大きさであるならば既知系列検出パルスを出力し、それ以外の場合には既知系列検出

今、ダイバーシチ合成部50において、雑音に埋もれるような相関値を合成しないように、プランチ1の相関算出部41Aでは、図15のようにしきい値 Z_{th} を予め設定し、次式に従って相関算出部の出力を制御する。

して用いるものである。他は、実施の形態1の図1と同一の構成であり、説明を省略する。

【0091】図17は、図16の判定部140Bの内部構成を示すブロック図である。141は、合成後の相関値がしきい値以上の場合に、既知系列を検出したことを示す検出パルスを出力する比較器、142は、しきい値算出部の出力値と一定のオフセット値を加算する加算器である。

【0092】次に本実施の形態の判定部の動作を図17を用いて説明する。しきい値算出部150の出力 D_{th} は、既知系列を検出したかどうか判定する判定部140Bに入力される。加算器142により、しきい値算出部150の出力 D_{th} と予め設定された一定のオフセット値 α_{th} が加算される。そして、合成後の相関値 D_{Vn} と最終的なしきい値となる加算器142の出力値が比較器141により比較される。ここで、判定部140Bは次式に従い、判定結果として検出パルス D_T を出力する。

($D_{Vn} \geq (D_{th} + \alpha_{th})$)
($D_{Vn} < (D_{th} + \alpha_{th})$) (38)

る。

【0095】図19は、図18の判定部140Cの内部構成を示すブロック図である。141は、合成後の相関値がしきい値以上の場合に、既知系列を検出したことを示す検出パルスを出力する比較器、143は、しきい値算出部の出力が規定値 α_{th} よりも小さくなる場合にこの規定値 α_{th} を既知系列検出のためのしきい値として出力する非線形回路である。

【0096】次に本実施の形態の判定部の動作を図19を用いて説明する。しきい値算出部150の出力 D_{th} は、既知系列を検出したかどうか判定する判定部140Cに入力される。非線形回路143は、しきい値算出部150の出力 D_{th} が規定値 α_{th} よりも小さくなる場合にこの規定値を既知系列検出のためのしきい値として出力する。次式に非線形回路143の出力値を示す。

(非線形回路143の出力) = α_{th} ($D_{th} < \alpha_{th}$)
= D_{th} ($D_{th} \geq \alpha_{th}$) (39)

パルスは出力しない。

【0098】以上のように本実施の形態では、しきい値算出部の出力値が、予め設定した規定値よりも小さくなる場合にこの規定値を既知系列検出のためのしきい値として用いるので、フェージングの発生により受信信号レベルが低下して、A/D変換後の受信信号は有意な情報

を持たなくなり、しきい値算出部の出力値がほぼ0となる場合でも、既知系列の誤検出率を抑えることができ、既知系列の検出を良好に行うことができる。

【0099】実施の形態8. 図20に本実施の形態による4相PSK変調信号を用いるシステムにおける既知系列検出器の構成例を示す。実施の形態1においては、判定部140Aのしきい値として、受信信号電力に比例した値を用いていたが、本実施の形態の判定部140Dは、しきい値算出部150の出力値が、予め設定した規定値よりも小さくなる場合には既知系列が検出されても無効として既知系列検出パルスを出力しないものである。他は、実施の形態1の図1と同一の構成であり、説明を省略する。

【0100】図21は、図20の判定部140Dの内部
(比較器141Aの出力)

構成を示すブロック図である。141Aは、合成後の相関値がしきい値以上の場合に、既知系列を検出したことを示す検出パルスを出力する比較器、144は、しきい値算出部の出力と規定値 α_{th} との大きさを比較する比較器、145は、比較器141Aの出力と比較器144の出力との論理積を演算するAND回路である。

【0101】次に本実施の形態の判定部の動作を図21を用いて説明する。しきい値算出部150の出力 D_{th} は、既知系列を検出したかどうか判定する判定部140Dに入力される。比較器141Aは、しきい値算出部150の出力 D_{th} とダイバーシチ合成部50の出力値である合成後の相関値 Dv_n との大きさを比較し、次式で与えられる比較結果を出力する。

$$\begin{aligned} &= L \quad (Dv_n < D_{th}) \\ &= H \quad (Dv_n \geq D_{th}) \end{aligned} \quad (40)$$

比較結果を出力する。

$$\begin{aligned} &= L \quad (D_{th} < \alpha_{th}) \\ &= H \quad (D_{th} \geq \alpha_{th}) \end{aligned} \quad (41)$$

うことができる。

【0105】第二の発明においては、複数あるブランチの中で、受信信号レベルの一番大きいブランチの相関値を選択するダイバーシチ合成手段を備えたので、フェージングによる受信信号レベル変動の影響を受けにくく、既知系列の不検出率を抑えることができるので、既知系列の検出を良好に行うことができる。

【0106】第三の発明においては、ブランチごとに受信される信号レベルに応じて相関値に重み付けを行い、これらの重み付け結果を合成するダイバーシチ合成手段を備えたので、フェージングによる受信信号レベル変動の影響を受けにくく、既知系列の不検出率を抑えることができるので、既知系列の検出を良好に行うことができる。

【0107】第四の発明においては、一定の時間間隔で得られる相関値を、予め設定した時間の範囲内で重み付け合成するダイバーシチ合成手段を備えたので、特に周波数選択性フェージング下の遅延広がりの大きい伝送路で既知系列の不検出率を抑えることができ、既知系列の検出を良好に行うことができる。

【0108】第五の発明においては、ブランチごとの受信信号と既知系列との相関演算後に得られた相関値が予め設定したしきい値よりも小さい場合には、相関値を出力しない相関算出手段を備えたので、既知系列の誤検出率を抑えることができ、既知系列の検出を良好に行うことができる。

【0109】第六の発明においては、ブランチごとの受信信号電力に比例したものをしきい値として出力するしきい値算出手段を備えたので、フェージングによる受信信号レベル変動の影響を受けにくく、既知系列の不検出

また、比較器144は、しきい値算出部150の出力 D_{th} と規定値 α_{th} との大きさを比較し、次式で与えられる

(比較器144の出力)

【0102】さらに、得られた比較器141Aの出力と比較器144の出力は、AND回路145に入力され、比較器144の出力が“H”的ときに、AND回路145は既知系列を検出したとするパルス“H”を出力することが可能となる。一方、比較器144の出力が“L”的ときには、AND回路145の出力は比較器141Aの出力が“L”または“H”にかかわらず、“L”しか出力できないため、既知系列を検出したとするパルス“H”を出力することができなくなる。

【0103】以上のように本実施の形態では、しきい値算出部の出力値が、予め設定した規定値よりも小さくなる場合には既知系列が検出されても無効として既知系列検出パルスを出力しないようにしているので、フェージングの発生により受信信号レベルが低下して、A/D変換後の受信信号は有意な情報を持たなくなり、しきい値算出部の出力値がほぼ0となる場合でも、既知系列の誤検出率を抑えることができ、既知系列の検出を良好に行うことができる。

【0104】

【発明の効果】第一の発明においては、複数のアンテナにより得られた複数の受信信号と既知系列との相関を算出する相関算出手段と、前記相関算出手段により得られた複数のブランチの相関値を用いてダイバーシチ合成を行うダイバーシチ合成手段と、既知系列を検出するためのしきい値を算出するしきい値算出手段と、前記ダイバーシチ合成手段により得られたダイバーシチ合成後の相関値が、前記しきい値算出手段により得られたしきい値よりも大きいかどうか判定する判定手段を備えたので、フェージングの発生する伝送路においても既知系列の不検出率を抑えることができ、既知系列の検出を良好に行

率を抑えることができるので、既知系列の検出を良好に行うことができる。

【0110】第七の発明においては、しきい値算出手段により得られたしきい値に一定量のオフセットを付加して判定を行う判定手段を備えたので、既知系列の誤検出率を抑えることができ、既知系列の検出を良好に行うことができる。

【0111】第八の発明においては、しきい値算出手段により得られたしきい値が予め設定された規定値よりも小さくなる場合には、しきい値として規定値を与えて判定を行う判定手段を備えたので、既知系列の誤検出率を抑えることができ、既知系列の検出を良好に行うことができる。

【0112】第九の発明においては、前記しきい値算出手段により得られたしきい値が予め設定された規定値よりも小さくなる場合には、既知系列が検出されても無効とする判定手段を備えたので、既知系列の誤検出率を抑えることができ、既知系列の検出を良好に行うことができる。

【0113】

【図面の簡単な説明】

【図1】 本発明の実施の形態1による既知系列検出器の構成を示す図である。

【図2】 本発明の実施の形態1における相関算出部の構成を示す図である。

【図3】 本発明の実施の形態1におけるダイバーシチ合成部の構成を示す図である。

【図4】 本発明の実施の形態1におけるしきい値算出部の構成を示す図である。

【図5】 本発明の実施の形態1における判定部構成を示す図である。

【図6】 本発明の実施の形態1におけるしきい値算出部の移動平均回路等の平滑化方法に関する他の構成例を示す図である。

【図7】 本発明の実施の形態2による既知系列検出器の構成を示す図である。

【図8】 本発明の実施の形態2におけるダイバーシチ合成部の構成を示す図である。

【図9】 本発明の実施の形態2におけるしきい値算出部の構成を示す図である。

【図10】 本発明の実施の形態3による既知系列検出器の構成を示す図である。

【図11】 本発明の実施の形態3におけるダイバーシチ合成部の構成を示す図である。

【図12】 本発明の実施の形態4による既知系列検出器の構成を示す図である。

【図13】 本発明の実施の形態4におけるダイバーシチ合成部の構成を示す図である。

【図14】 本発明の実施の形態5による既知系列検出器の構成を示す図である。

【図15】 周波数選択性フェージング下において、雑音がないと仮定した場合の相関算出部の出力の一例を示す図である。

【図16】 本発明の実施の形態6による既知系列検出器の構成を示す図である。

【図17】 本発明の実施の形態6における判定部の構成を示す図である。

【図18】 本発明の実施の形態7による既知系列検出器の構成を示す図である。

【図19】 本発明の実施の形態7における判定部の構成を示す図である。

【図20】 本発明の実施の形態8による既知系列検出器の構成を示す図である。

【図21】 本発明の実施の形態8における判定部の構成を示す図である。

【図22】 従来の既知系列検出器の構成を示す図である。

【図23】 従来の既知系列検出器における準同期検波部の構成を示す図である。

【図24】 従来の既知系列検出器における既知系列検出部の構成を示す図である。

【符号の説明】

10、10A、10B アンテナ

20、20A、20B 準同期検波部

21 局部発振器

22 90度移相器

23、24 乗算器

30、30A、30B、31、31A、31B A/D
変換器

40A、40B、41A、41B 相関算出部

50、50A、50B、50C ダイバーシチ合成部

51、52 乗算器

53 加算器

54、54A 比較器

55、55A 選択回路

56、56A、56B シフトレジスタ

57、57A、57B 加算器

60A、60B 信号レベル検出器

100 既知系列算出部

101、101A、102、102A、103、103
A、104、104A 相関器

110、110A 加算器

111、111A 減算器

120、121、120A、121A 乗算器

130、130A 加算器

140 判定器

140A、140B、140C、140D 判定部

141、141A 比較器

142 加算器

143 非線形回路

144 比較器

145 AND回路

150、150A しきい値算出部

151A、151B、151C、151D 2乗回路

152A、152B、152C、152D 2乗回路

160A、160B、160C、160D 加算器

170A、170B 乗算器

171 乗算器

172 比較器

180 加算器

181 選択回路

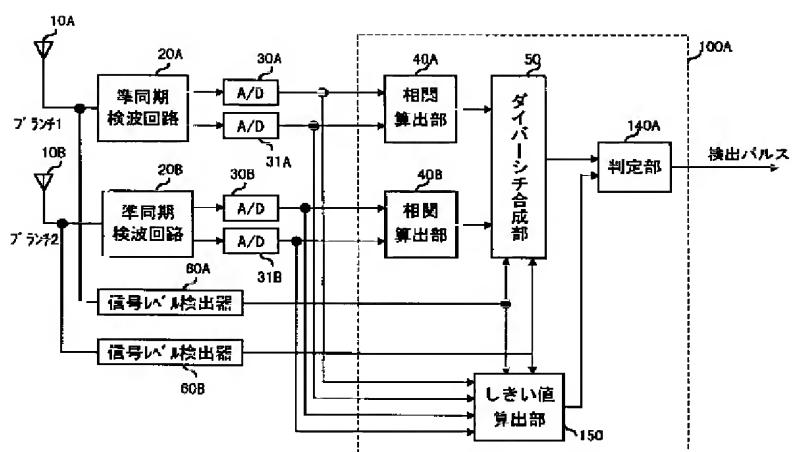
190 移動平均回路

191 加算器

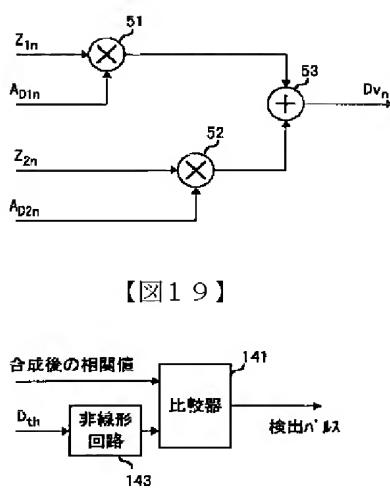
192 遅延器

193 乗算器

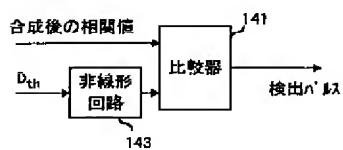
【図1】



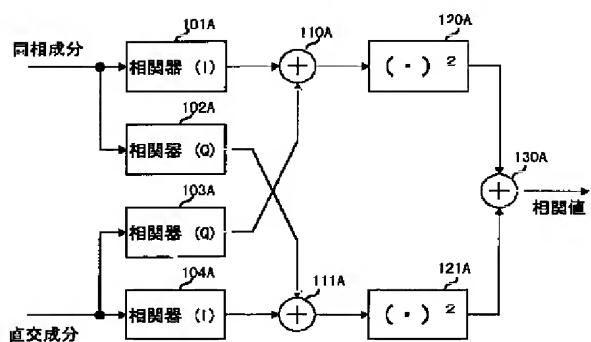
【図3】



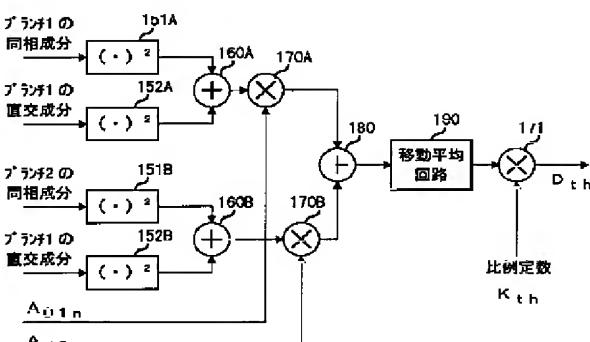
【図19】



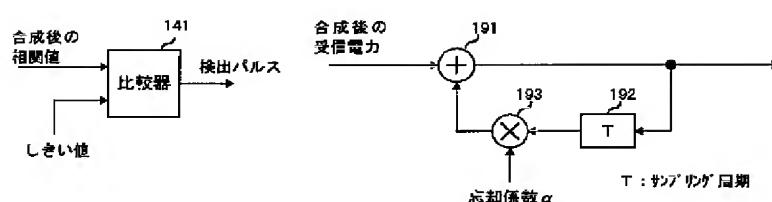
【図2】



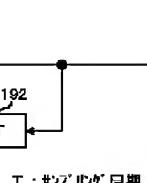
【図4】



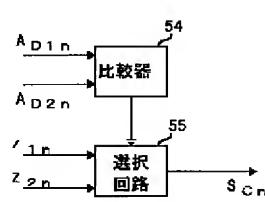
【図5】



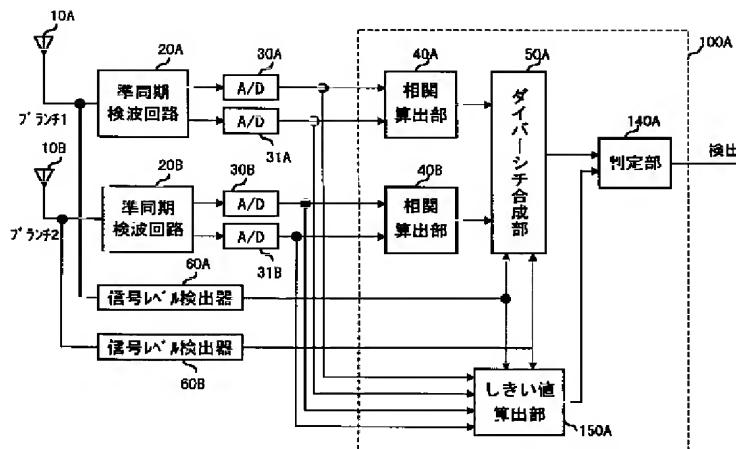
【図6】



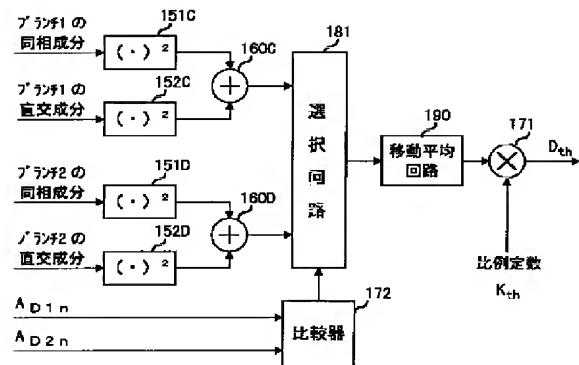
【図8】



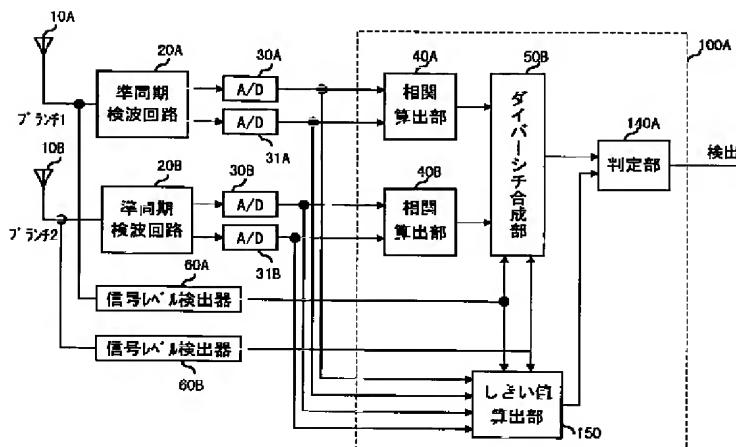
【図7】



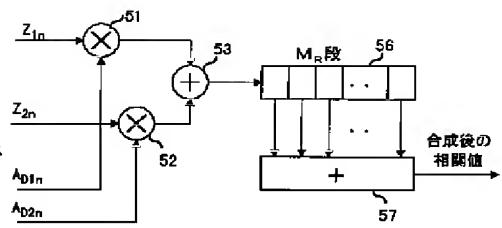
【図9】



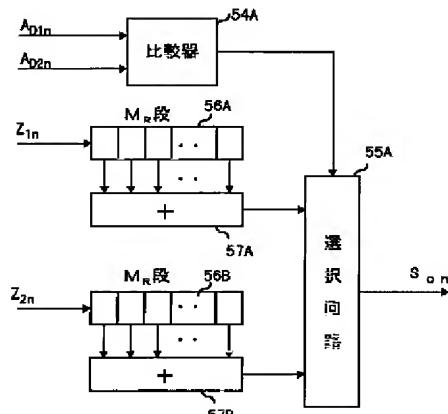
【図10】



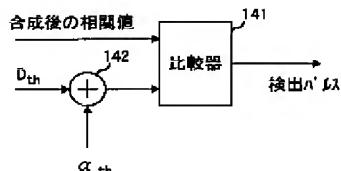
【図11】



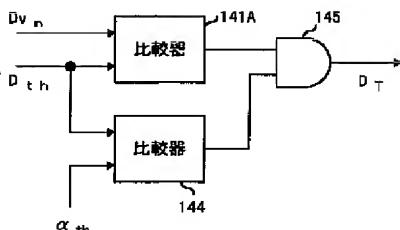
【図13】



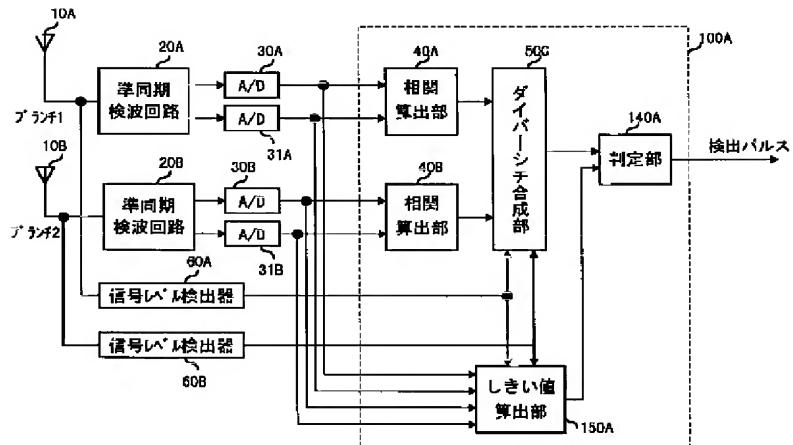
【図17】



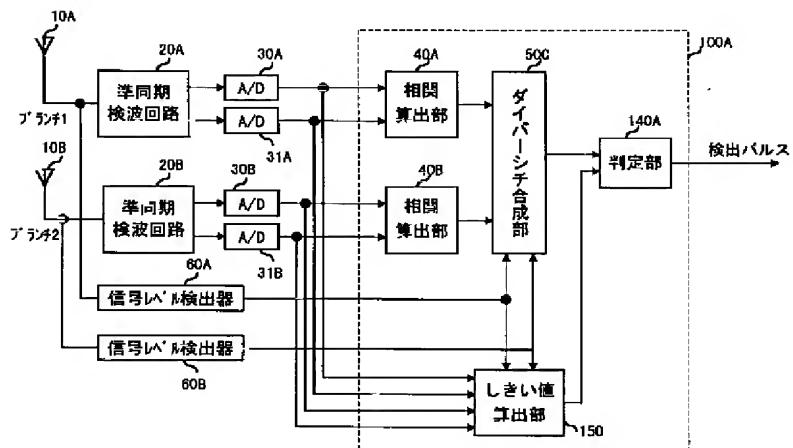
【図21】



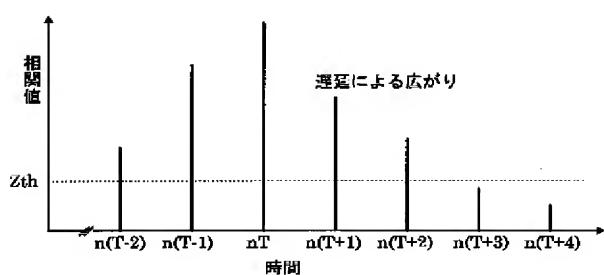
【図12】



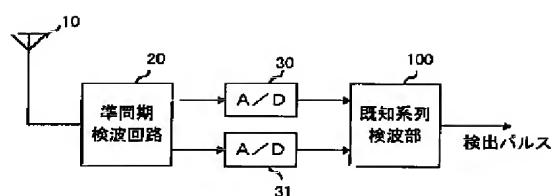
【図14】



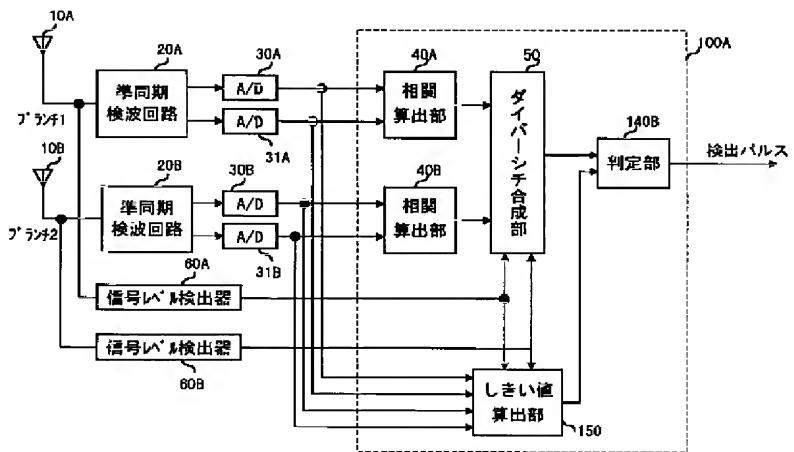
【図15】



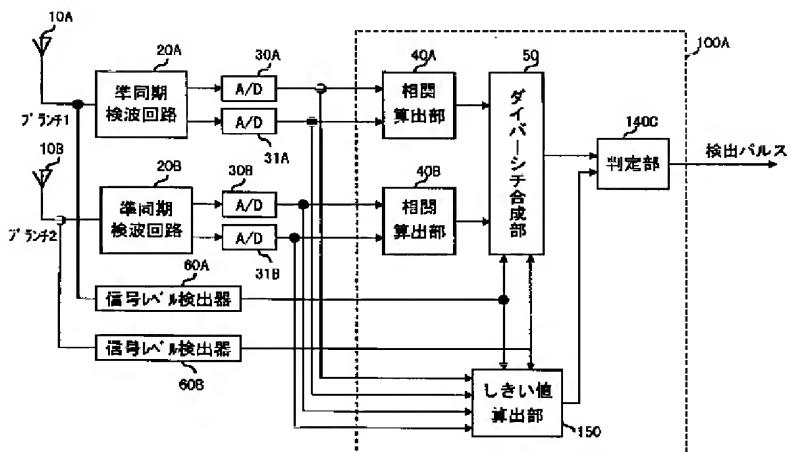
【図22】



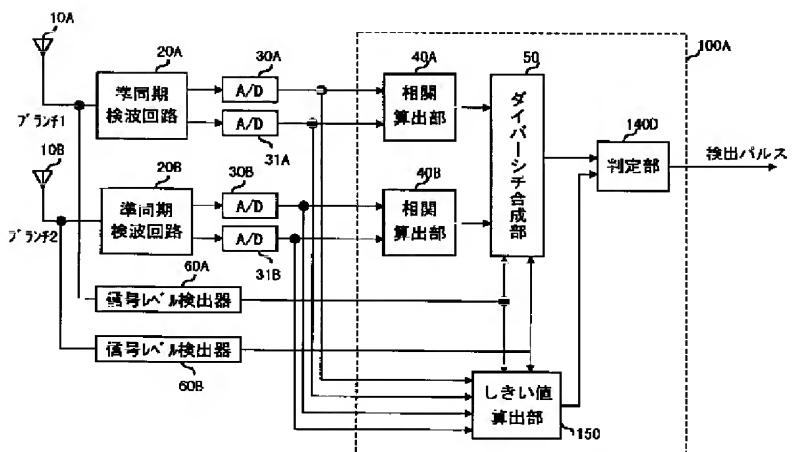
【図16】



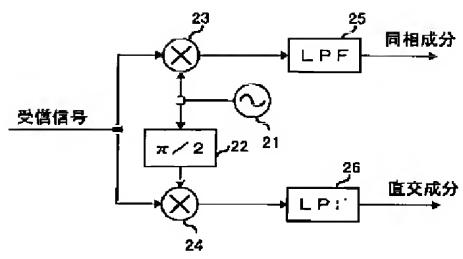
【図18】



【図20】



【図23】



【図24】

